**Pengenalan Rangkaian Sekuensial**

Yulvi Hidayati (15/386045/SV/09431)

Laboratorium Elektronika dan Instrumentasi

Departemen Teknik Elektro dan Informatika Sekolah Vokasi

Universitas Gadjah Mada Yogyakarta

Email: hidayatiyulvi@gmail.com

***Abstract*— Rangkaian sekuensial adalah rangkaian logika yang kondisi keluarannya dipengaruhi oleh masukan dan keadaan keluaran sebelumnya atau dapat dikatakan rangkaian yang bekerja berdasarkan urutan waktu. Pada praktikum ini rangkaian sekuensial yang buat adalah D-latch, flip-flop yang diimplementasikan ke FPGA atau disimulasikan ke modulSim-Altera.**

*Kata kunci:* Rangkaian sekuensial, D-latch, flip-flop.

**1.Latar Belakang**

Dalam sistem digital pada umumnya dipergunakan bagian rangkaian yang dapat mengingat keadaan keluarannya sebelumnya dan keluarannya untuk suatu kombinasi masukan tertentu juga tergantung atas keadaan keluarannya sebelum masukan itu dikenakan. Bagian rangkaian demikian disebut sebagai rangkaian berurut (*sequential*).

Flip-flop adalah rangkaian utama dalam logika *sequential.* *Counter*, *Register,Memory*, serta rangkaian *sequential* lainnya disusun dengan menggunakan flipflop sebagai komponen utama. Flipflop adalah rangkaian yang mempunyai fungsi pengingat (memory). Artinya rangkaian ini mampu melakukan penyimpanan data sesuai dengan kombinasi masukan yang diberikan kepadanya.

Untuk lebih mengenal karekteristik dari rangkaian *sequential*  pada praktikum ini praktikan akan membuat dan mesimulasikan salah satu contoh dari rangkaian *sequential* yaitu D-Latch, D-flip-flop master slave.

Perbedaan latch dan flip-flop terletak pada masukan *clock*. Flip-flop hanya akan bekerja pada saat transisi pulsa dari tinggi ke rendah atau dari rendah ke tinggi, tergantung dari jenis *clock* yang digunakan.

II. METODE PERCOBAAN

1. Alat dan Bahan

* Pc dengan software Altera
* ModelSim-Altera
* FPGA

1. Prosedur Percobaan
2. Buat rangkaian sesuai yang ada di *jobsheet* 4

Yaitu rangkaian D-Latch , D- flip-flop master slave , D flip-flop dari nand.

1. Pastikan ModelSim-Altera sudah terinstall sebagai simulasi rangkaian langkahnya seperti yang telah dipelajari diparktikum sebelumnya.
2. Konfigurasi *Nativelink*

pilih assignments => setting => muncul kotak dialog => pada kategori kolom => pilih EDA Tool Settings => simulation=> mucul halaman simulasi=> untuk tool name pilih ModelSim-Altera (jangan hidupkan *run gate-level simulation auctomaticaly* setelah Kompilasi) => pilih *More Eda Netlist Writer* Settings, ubah kolom Generate netlist for functional simulation only menjadi ON => KLIK OK Konversi skematik ke kode VHDL

Buka project rangkaian yang telah dibuat => pilih menu file => create/Update => create HDL design File from Current File => klik ok

1. Memasukkan file VHDL ke projek

File => open =>project=>add carrent File to project =>hapus file bdf => klik ok

Klik processing => start=> start analysis & elaboration.

1. Menjalankan simulasi

Pilih tools => Run simulation tool => RTL simulation => pilih simulate => start simulation => pilih projek yang dibuat => masukkan tiap input dan output menjadi gelombang dengan cara add => to wave => select signal

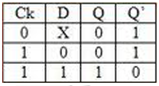
1. Masukkan data clock pada setiap input dan ubah periodenya sesuai tabel kebenara.

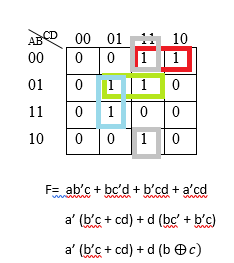
III. HASIL PERCOBAAN

. Hasil percobaan berupa :

* Gambar rangkaian bdf (terlampir)
* Screen capture gelombang hasil simulasi (terlampir)

Tabel kebenaran D flip-flop





IV. ANALISA

Praktikum kali ini prktikan dikenalkan suatu software yang mampu mensimulasikan rancangan digital dalam bentuk tampilan keluaran gelombang sinyal,software tersebut yaitu ModelSim-Altera , untuk dapat menggunakan software tersebut harus menginstalnya terlebih dahulu.

Percobaan simulasi pada praktikum ini merupakan simulasi dari rangkaian bdf yang dikonversikan kedalam bentuk Bahasa VHDL untuk dapat ditampilkan pada ModulSim-Altera. Rancangan yang dibuat pada praktikum ini adalah rangkaian *detector* bilangan prima, jika pada praktikum-prktikum sebelumnya untuk dapat menguji rangkaian yang dibuat dengan cara mensimulasikan langsung ke FPGA pada praktikum ini cukup dengan ModulSim-Altera praktikan sudah dapat menguji hasil rangkaian dengan melihat tampilan *timing diagram* berupa gelombang *clock high* (0) dan *low* (1).

Sinyal clock ditampilkan berdasarkan input periode yang diberikan, dalam percobaan ini saya memberikan range sinyal gelombang 1600 yang lebih besar dari periode input,dimana periode input a = 800, input b = 400, input c – 200 dan terakhir input d = 100. Ketika di run hasilnya dapat terlihat pada hasil percobaan (data terlampir)

Peride tersebut dimasukkan berdasarkan tabel kebenaran dan juga waktu tunggu dari inputan untuk keadaan *high* atau *low.*

input a = 800 ps artinya nilai nya akan *low (0) t*erus sampai berada pada posisi ke 800 ps barulah a akan bernilai *high* (1) dapat terlihat dari tabel kebenaran kolom a nilai 0 nya sebanyak 8 kali selanjutnya dari b sampai d dibagi 2 .

Dengan adanya tampilan simulasi tersebut dapat terlihat bagaimana kerja dari rangkaian digital yang diterjemahkan dalam biner dan gelombang high dan low, dan simulasi tesebut dapat memberikan keuntungan untuk perancangan sebuah IC digital tanpa harus menggunakan hardwere FPGA dalam mensimulasikan.

V. KESIMPULAN

1. Modelsim-Altera digunakan untuk simulasi dari rangkaian skematik ataupun dari VHDL
2. Keuntungan perancangan menggunkan VHDL adalah dapat mendesain hardware yang kompleks, dapat mendeteksi kesalahan dengan lebih mudah pada simulasi.
3. Skematik rangkaian Quartus dapat dikonversikan dalam bentuk Bahasa VHDL

REFERENSI

[1] Modul praktikum Elektronika Digital Lanjut

[2] Susilo Wibowo, S.T, M.Eng. (2010) Tutorial Desain VHDL menggunakan *Software* Quartus II diambil 14 september dari https://www.academia.edu/9514927/Tutorial\_Desain\_VHDL\_menggunakan\_Software\_Quartus\_II\_Oleh